

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

3/5 JAPIO - (C) JPO

PN - JP 04061528 A 19920227 [JP04061528]

TI - TIME DIVISION MULTIPLEXER/DEMULTIPLEXER

IN - AOYANAGI SHINICHI; ICHIBAGASE HIROSHI; MATSUSHITA KIWAMU

PA - MITSUBISHI ELECTRIC CORP; NIPPON TELEGR & TELEPH CORP <NTT>

AP - JP17178690 19900629 [1990JP-0171786]

IC1 - H04J-003/14

AB - PURPOSE: To decrease a circuit scale when multiplexing/demultiplexing and multiplexed relay are required after transmission line maintenance information is terminated/generated and when a head of actual information and an overhead can take a variable position with respect to a basic frame by processing the transmission line maintenance information inserted to each ***channel*** after multiplexing/demultiplexing without ***serial***/**parallel*** conversion.

- CONSTITUTION: The output of a low-order group address counter 25 provided on every multiplex channel separately and operated separately synchronously with the phase of an input data signal is inputted to a decoder 26 with output enable terminal, which generates a signal to terminate/generate transmission line maintenance information and it is sent to additional information termination/generating circuits 27a-27n. A data resulting from processing the additional information of all channels is outputted from a line X as it is in the case of multiplex relaying and inputted to ***buffers*** 28a-28n with a pulse from the decoder 26 at every channel, in which processing such as speed conversion to low-order group and replacement into in-station ***clock*** is implemented and the result is outputted to lines A, B-N.

- COPYRIGHT: (C)1992, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-61528

⑪ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月27日

H 04 J 3/14

Z

7117-5K

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 時分割多重分離装置

⑮ 特 願 平2-171786

⑯ 出 願 平2(1990)6月29日

⑰ 発 明 者 青 柳 慎 一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑱ 発 明 者 一 番 ケ 瀬 広 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑲ 発 明 者 松 下 究 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社通信システム研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

時分割多重分離装置

2. 特許請求の範囲

フレーム同期確立の後フレームカウンタ出力をデコードする手段またはその他のポイント処理等の手段により生成された各多重化チャンネルの情報、先頭位置パルス及び各多重化チャンネルの情報の有効位置パルスによりカウンタ位相を制御し、多重分離前のクロックにて動作する低次群アドレスカウンタと、この低次群アドレスカウンタの出力を入力とし上記フレームカウンタをデコードしたパルスで出力イネーブル制御を行うデコーダ回路と、このデコーダ回路の出力パルスにより多重分離前の入力データの各多重化チャンネルに割り振られた伝送路保守等の制御情報を処理する回路とを備えたことを特徴とする時分割多重分離装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、時分割多重分離装置に関し、特に、伝送路保守情報を終端、発生した後、多重分離するだけではなく再度多重化中継を必要とする場合、または情報列およびオーバーヘッドの先頭が基本フレームに対して可変位置をとるフレーム構造を持つものに関するものである。

(従来の技術)

従来、この種の装置として第2図に示すものがあつた。この図は特開昭63-10833号公報の従来例に示されたもので、図において、(1)及び(2)はそれぞれ時分割多重分離装置(以下TDMと略記する)、(3)及び(4)はそれぞれデータ回線終端装置(以下DCEと略記する)、(5a)～(5b)はそれぞれバッファ、(6)及び(7)はそれぞれシフトレジスタ(SR)、(8)は同期信号作成回路(SYN)、(9)は制御部、(10)及び(11)はそれぞれシフトレジスタ(SR)、(12a)～(12d)はそれぞれアンド回路、(13a)～(13d)はそれぞれバッファ、(14)は同期信号チェック回路(DET)、(15)は制御部である。

次に動作について説明する。

従来の一般のTDMの一例として、ここでは第2図(a)、(b)に示すように、例えば4ビット多重でフレーム同期パルスを4ビット毎に1ビット多重化する場合について考える。送信信号は、多重化速度の5倍遅い速度で送信側のTDM(1)に入力され、TDM(1)においては、スイッチ機構により、同期信号F、チャンネルA、チャンネルB、チャンネルC、チャンネルDを第2図(b)に示すように配置してシリアル形式で送出し、受信側のTDM(2)においては同様なスイッチ機構により各チャンネルデータを並列信号に変換出力する。

また、従来のTDMの回路構成の一例は、第2図(c)に示すように、送信側では各チャンネルA～Dのデータをそれぞれバッファ(5a)～(5d)に入力し、さらにシフトレジスタ(6)の(a)～(d)に並列に入力する。

シフトレジスタ(6)は制御部(9)の出力クロックCLKによりチャンネルA～チャンネルDの順序で打ち出され、シフトレジスタ(7)において打ち出された信号に同期信号作成回路(8)から出力さ

れる同期信号Fが付加されて線路に送出される。

受信側においては、受信したシリアル形式の信号はシフトレジスタ(10)に入力され、制御部(15)の出力クロックにより順次(d)→(a)とシフトされ、各チャンネルのデータがそれぞれ正規の位置にシフトされた時、アンド回路(12a)～(12d)が開き、バッファ(13a)～(13d)に入力される。

また、受信信号はシフトレジスタ(11)を経由して同期信号チェック回路(14)に送られ、ここで同期信号Fを検出し、この同期信号Fに同期したクロックCLKが制御部(15)から出力される。

従って、従来の時分割多重化および多重化分離処理において、伝送路保守等のための付加情報の処理は低次群クロックによる低次群フレームカウンタにより行うようになっているものである。

(発明が解決しようとする課題)

従来の時分割多重分離処理方式は、以上のように構成されているので、伝送路保守情報を終端、発生した後、多重分離するだけではなく再度多重化中継する場合に従来例で示した多重化回路がす

べて必要となり回路規模の増大を招くだけでなく、CCITT勧告G707,708,709に示されたNNI(Network Node Interface)標準のフレームを処理する場合に実際の情報およびオーバーヘッドの先頭が基本フレームに対して可変位置となる場合には従来例の方式では回路が増大し複雑になるという問題があった。

この発明は上記のような問題点を解決するためになされたもので、伝送路保守情報を終端、発生した後多重分離だけでなく多重化中継が必要な場合および実際の情報およびオーバーヘッドの先頭が基本フレームに対して可変位置を取り得る場合でも回路規模を小さくできる時分割多重分離装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係る時分割多重分離装置は、フレーム同期確立の後フレームカウンタ出力をデコードする手段またはその他のポインタ処理等の手段により生成された各多重化チャンネルの情報の先頭位置パルス及び各多重化チャンネルの情報の有効

位置パルスによりカウンタ位相を制御し、多重分離前のクロックにて動作する低次群アドレスカウンタと、この低次群アドレスカウンタの出力を入力とし上記フレームカウンタをデコードしたパルスで出力イネーブル制御を行うデコーダ回路と、このデコーダ回路の出力パルスにより多重分離前の入力データの各多重化チャンネルに割り振られた伝送路保守等の制御情報を処理する回路とを備えたものである。

(作用)

この発明においては、多重分離後の各チャンネルに挿入された伝送路保守情報を直並列変換することなしに処理するために、それぞれのチャンネル毎に、カウントイネーブルおよびカウントリセット付の低次群アドレスカウンタおよび出力ディセーブル付デコーダを用い、このカウンタは高次群クロックにて動作し、各チャンネル毎の有効データ到来時にカウントを進め、デコーダ出力を有効にする。

(実施例)

以下、この発明の一実施例を第1図に基づいて説明する。第1図は本実施例による時分割多重分離装置の構成図であり、図において、(21)はフレームカウンタ、(22)はフレームカウンタ(21)の出力をデコードするデコーダ、(23)はポインタ処理回路、(24a)、(24b)は選択スイッチ、(25)は多重分離後のフレーム位相を認識するリセットおよびカウントイネーブル端子付低次群アドレスカウンタ、(26)はこのカウンタ(25)の出力をデコードするデコーダ、(27a)、(27b)、…、(27n)はnチャンネルそれぞれに定められた伝送路保守情報を各チャンネルのデコーダ出力により処理する付加情報終端/発生回路、(28a)、(28b)、…、(28n)は低次群速度に変換および局内クロックへの乗せ換え等を行うバッファ回路である。

次に、動作について説明する。受信信号はまず同期信号チェック回路(14)に送られ、ここで同期信号が検出され、この同期信号に位相同期することによりフレームカウンタ(21)が受信信号に同期してカウント動作を行う。デコーダ(22)はこのフ

レームカウンタ(21)の出力をデコードしてフレーム同期位置検定パルスを生成し同期信号チェック回路(14)に送りフレーム同期を保つものである。また、このデコーダ(22)は低次群アドレスカウンタ(25)およびデコーダ(26)を制御するパルスも生成する。また、合わせて基本フレーム構造にポインタ等によって実際の情報およびオーバーヘッドの先頭が基本フレームに対して可変位置を取り得る場合は、この可変位置を示すポインタの位置を知らせるためのパルスを生成しポインタ処理回路(23)に渡している。

選択スイッチ(24a)、(24b)は、基本フレーム構造にポインタ等によって実際の情報およびオーバーヘッドの先頭が基本フレームに対して可変位置を取り得る場合は、ポインタ処理回路(23)の出力パルスにより低次群アドレスカウンタ(25)及びデコーダ(26)を制御し、そうでない場合はデコーダ(22)の出力パルスによる制御を選択する選択スイッチである。

低次群アドレスカウンタ(25)は予め定められた

基本フレーム構成により多重化チャンネル番号に対応して、例えば#1チャンネルの場合#1のデータが有効な場合にカウンタを進め、#1のデータの先頭位置でカウントをリセットするための制御信号をデコーダ(22)より出力あるいはポインタ処理回路(23)より出力して低次群アドレスカウンタ(25)のカウントイネーブル端子及びリセット端子に入力しカウント動作を行う。この低次群アドレスカウンタ(25)及びデコーダ(26)は各多重化チャンネル毎に別々に設け、各多重化チャンネルの入力データ信号の位相に同期して別々に動作させる。低次群アドレスカウンタ(25)の出力は出力イネーブル端子付デコーダ(26)に入力され各多重化チャンネルに設けられた伝送路保守情報を終端、発生するための信号を生成し、付加情報終端/発生回路(27a)、(27b)、…、(27n)に送られる。

付加情報終端/発生回路(27a)は入力受信データのうち#1の多重化チャンネルに対応した保守情報を低次群アドレスカウンタ(25)及びデコーダ(26)の出力パルスをもとに処理する。付加情報終

端/発生回路(27b)は付加情報終端/発生回路(27a)の出力データのうち#2の多重化チャンネルに対応した保守情報を低次群アドレスカウンタ#2(第1図では省略)及びデコーダ#2(第1図では省略)の出力パルスをもとに処理する。以下同様に第nチャンネルまで処理を行う。すべてのチャンネルの付加情報を処理したデータは多重化中継する場合はXよりそのまま出力され、多重分離出力が必要なときは各チャンネル毎に各チャンネル毎の有効なデータ位置を示すデコーダ(26)からのパルスとともにバッファ(27a)、(27b)、…、(27n)へ入力され、低次群への速度変換及び局内クロックへの乗せ換え等の処理を行いA、B、…、Nに出力される。

従って、本実施例ではそれぞれの多重化チャンネル毎に、カウントイネーブル及びカウントリセット付の低次群アドレスカウンタ及び出力デコーダを用い、このカウンタは高次群クロックにて動作し、各チャンネル毎の有効データ到来時にカウントを進め、デコーダ出力を

有効にするようにしたので、多重分離後の各チャンネルに挿入された伝送路保守情報を直列変換することなしに処理することが可能となる。

なお、上記実施例では、付加情報終端/発生回路(27a)、(27b)、…、(27n)を縦列接続としたが、並列接続しても構わない。この場合、多重化中継出力Xは各付加情報終端/発生回路(27a)、(27b)、…、(27n)を選択して発生させれば良い。

(発明の効果)

以上のようにこの発明によれば、伝送路保守情報を終端、発生した後多重分離だけでなく多重化中継が必要な場合および実際の情報およびオーバーヘッドの先頭が基本フレームに対して可変位置を取る得る場合でも回路規模を小さくできるという効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示す多重分離処理方式の構成図、第2図は従来の多重分離処理方式を示す構成図である。

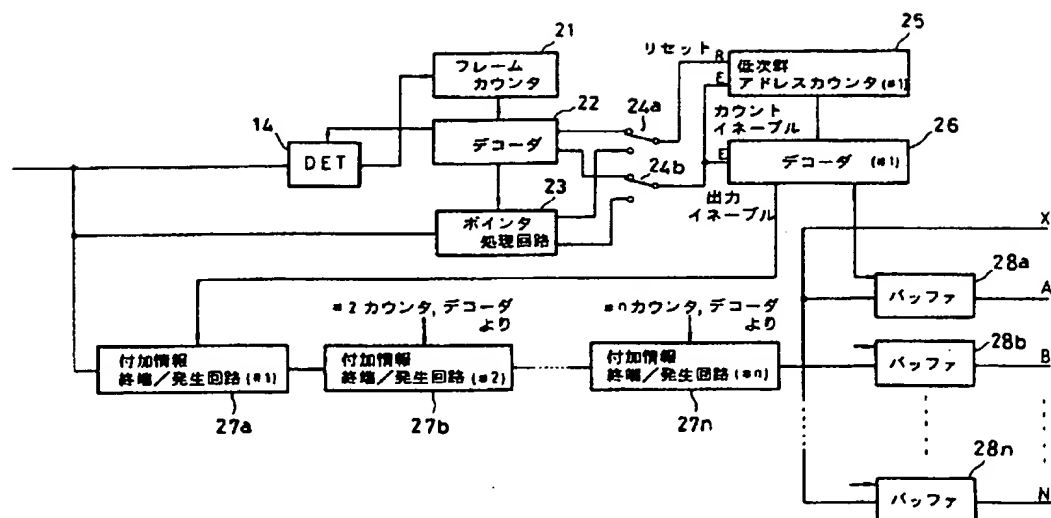
図において、(21)はフレームカウンタ、(22)は

フレームカウンタ(21)の出力をデコードするデコーダ、(23)はポインタ処理回路、(24a)、(24b)は選択スイッチ、(25)は低次群アドレスカウンタ、(26)はデコーダ、(27a)、(27b)、…、(27n)は付加情報終端/発生回路、(28)はバッファ回路である。

尚、図中同一符号は同一又は相当部分を示す。

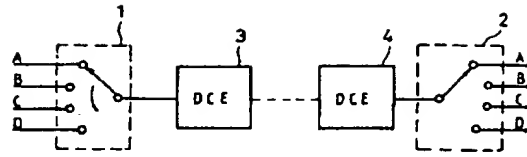
代理人 大 岩 増 雄

第 1 図



第 2 図

(a)



(b)



(c)

